

# Circuits séquentiels de base

Dans un système séquentiel, la valeur des sorties à un instant donné ne dépend pas uniquement des entrées à cet instant comme avec un système combinatoire, mais également de ce qui s'est passé avant. Pour obtenir cet effet mémoire il suffit de reboucler une ou plusieurs sorties d'un système combinatoire sur l'entrée.

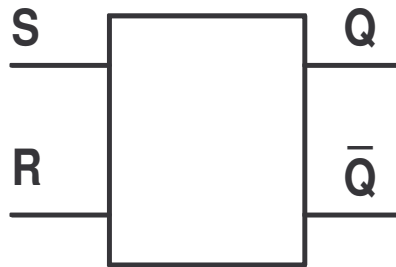
Nous allons passer en revue les principaux circuits séquentiels de base, divisé en deux groupes les bascules asynchrones par opposition aux bascules synchrones dont les sorties ne changent que sur un front déterminé d'un signal carré dit d'horloge. Ce signal d'horloge sert alors en général de cadencement pour tous les circuits présent sur la carte.

## 1. Bascules asynchrones

Ces bascules sont désignées par le terme "latch" (verrou) dans les catalogues constructeurs.

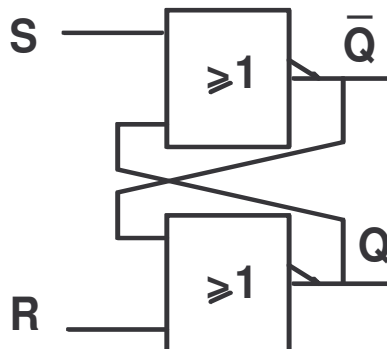
### 1.1. Bascules RS (RS latch)

C'est la bascule la plus simple : l'entrée S (Set) sert à la mise au NL 1 de la sortie Q, tandis que l'entrée R (Reset) permet la mise à zéro.



S	R	Q
0	1	0
1	0	1
0	0	état mémoire
1	1	état interdit

On peut remarquer dans la table de vérité que l'état S=R=1 est théoriquement interdit. Suivant la manière dont la bascule est réalisée, on obtient un résultat différent en sortie. Dans le cas du circuit suivant (ancien circuit 4043) la bascule est synthétisée par deux portes NOR.

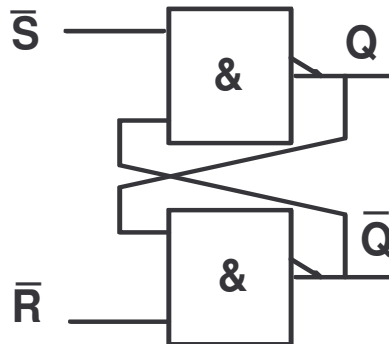


On peut alors vérifier que l'état interdit donne 0 sur les deux sorties Q et  $\bar{Q}$ .

✓ **Analogie**

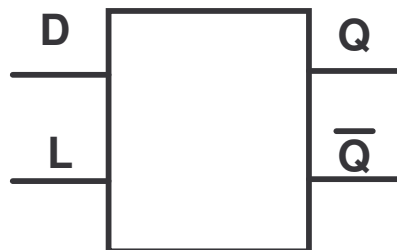
La bascule RS reproduit même type de fonctionnement que l'on trouve avec les interrupteurs marche arrêt d'une perceuse à colonne par exemple : un appui sur marche (impulsion en S) le moteur tourne (Q au NL1), un appui sur arrêt (impulsion sur R), le moteur s'arrête (Q au NL0):

Si la bascule est synthétisée par des portes NAND (ancien circuit 4044), on obtient alors une bascule  $\bar{R} \bar{S}$  où les états actifs sont des NL0. L'état interdit, qui est  $\bar{R} = \bar{S} = 0$ , donne alors un NL1 sur les deux sorties



## 1.2. Bascule D à verrouillage (D latch)

Cette bascule permet de s'affranchir de l'état interdit de la précédente.



D	L	Q
0	1	0 (recopie)
1	1	1 (recopie)
X	0	$Q_0$ (état mémoire)

Son fonctionnement est relativement simple : l'entrée D (pour Data input : donnée à l'entrée) est recopiée en sortie Q lorsque l'entrée de chargement L (pour Load : chargement) est au NL1. Dans le cas contraire on est en état mémoire (la sortie vaut  $Q_0$  c'est à dire qu'elle garde la valeur qu'elle avait avant que l'entrée L ne passe à 0) et l'entrée D reste sans effet (état indifférent représenté par un "X" sur la table de vérité).

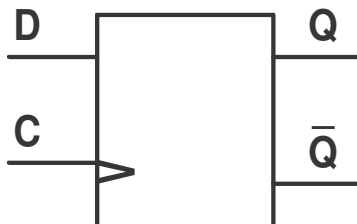
L'application principale de cette bascule est la mémorisation d'un bit ou d'un mot binaire si plusieurs bascules sont mises en parallèle.

## 2. Bascules synchrones

Dès qu'un système devient relativement complexe, il est souhaitable que les sorties des éléments changent toutes à des instants bien précis, déterminé par le front montant (par exemple) d'un signal carré de fréquence fixe, appelé signal d'horloge. On évite ainsi des aléas de fonctionnement (voir les compteurs asynchrones par exemple). Pour cette raison ont été créés les bascules synchrones, dont l'entrée d'horloge est repérée par un triangle isocèle (à ne pas confondre avec le triangle rectangle de la négation). Elles sont désignées dans les catalogues constructeur par le terme "flip-flop".

## 2.1. Bascule D (D flip-flop)

Le fonctionnement est semblable à la bascule D à verrouillage, mais la mémorisation de l'entrée se fait sur le front (montant  $\uparrow$  en général) du signal d'horloge C (pour clock).



D	C	Q
0	$\uparrow$	0 (recopie)
1	$\uparrow$	1 (recopie)
X	1	$Q_0$ (état mémoire)
X	0	$Q_0$ (état mémoire)

Exemple de référence : circuit CMOS 74HC74 (double bascule D).

Les applications de cette bascule sont nombreuses, depuis le diviseur de fréquence par 2 jusqu'au registres.

Pour bien comprendre le fonctionnement de cette bascule, il faut être conscient du fait que dans la pratique, la bascule ne peut recopier en sortie l'entrée D, que si celle-ci est présente et stable un temps dit de prépositionnement (« set up time »), avant le front d'horloge.

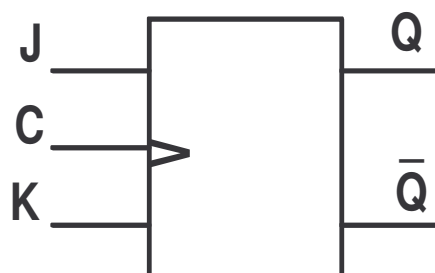
### ✓ Analogie

La bascule D peut être vue comme un appareil photo : l'image présente devant l'objectif (entrée D) est mémorisée (en sortie Q) lorsque l'on appui sur le déclencheur (front montant sur C). En dehors de cet instant d'appui, l'image devant l'objectif n'a aucune influence sur le contenu de l'appareil.

La confusion entre la bascule D et la bascule D à verrouillage est fréquente, confusion due à une imprécision de langage, le mot français "bascule" étant utilisé pour traduire à la fois les termes anglais "latch" et "flip-flop". Le fait de désigner par la même lettre C l'entrée d'horloge de la bascule synchrone et l'entrée de chargement de la bascule asynchrone n'arrange rien au problème, aussi préférera t-on un L (pour « load ») dans le cas du « latch ».

## 2.2. Bascule JK (JK flip-flop)

C'est la bascule la plus complète.



J	K	C	Q
0	1	$\uparrow$	0
1	0	$\uparrow$	1
1	1	$\uparrow$	$\overline{Q_0}$ (changement d'état)
0	0	$\uparrow$	$Q_0$ (état mémoire)
X	X	0	
X	X	1	

Son fonctionnement ressemble à la bascule RS : l'entrée J permet la mise à 1 de la sortie, l'entrée K la mise à 0, la sortie ne change pas si ces deux entrées sont simultanément au NLO. Cependant contrairement à la bascule RS les transitions ne peuvent se faire qu'au front d'horloge C et l'état  $J=K=1$  n'est plus interdit et provoque un changement d'état ( $Q=\overline{Q_0}$ ) de la sortie au front d'horloge. La bascule que nous venons de voir déclenche sur les fronts montants d'horloge (positive edge triggered) comme celles contenues dans les circuits 74HC76.